

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-243380

(43)公開日 平成5年(1993)9月21日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	FI	技術表示箇所
H01L 21/82 21/3205		9169-4M 7735-4M	H01L 21/82 21/88	W Z

審査請求 未請求 請求項の数1(全4頁)

(21)出願番号 特願平4-42643
(22)出願日 平成4年(1992)2月28日

(71)出願人 000004237
日本電気株式会社
東京都港区芝五丁目7番1号
(72)発明者 山口 正也
東京都港区芝五丁目7番1号日本電気株式
会社内
(74)代理人 弁理士 京本 直樹 (外2名)

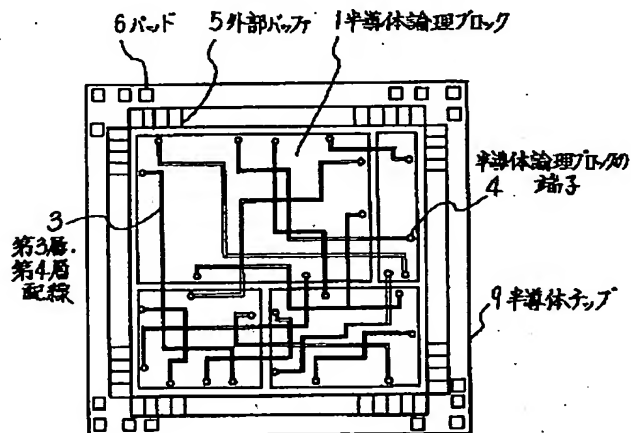
(54)【発明の名称】 半導体集積回路装置

(57)【要約】

【目的】多層配線構造を有する半導体集積回路装置における配線層を有効に使い分けることにより、チップ面積を有効に用い、また既存の自動配置配線ソフトウェアを使用可能とする。

【構成】半導体論理ブロック1は第1層、第2層の配線2を用いて設計され、この半導体論理ブロック1を複数個、チップ9の上に配置し、端子4の間を第3層、第4層の配線3により相互接続している。

【効果】チップ上の半導体論理ブロック1の間に第1層、第2層配線2のための領域を設けないのでチップ面積の縮小が可能となり、また計算処理すべき配線層を2層とすることにより、3層用自動配置配線ソフトウェアを使った階層設計が可能となる。



【特許請求の範囲】

【請求項1】 論理機能を形成する半導体素子領域とこの素子領域間を接続する配線領域がある特定の領域に限定され同一機能又は異なる機能を持つ複数の論理機能回路とからなる論理機能回路群を有し、前記各論理機能回路内の配線が他の論理機能回路内の配線領域にまたがらず、かつ前記論理機能回路間を接続する配線の配線層と前記論理機能回路を構成する配線の配線層とが異なる配線層に設けられたことを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体集積回路装置に関し、特に3層、4層以上の多層配線を有する半導体集積回路に関する。

【0002】

【従来の技術】 従来の半導体集積回路装置は、より大規模化する大きさに対し容易に設計し易いように多くの場合、階層化設計がなされている。すなわち、あらかじめ設計された半導体セルを所望の論理回路に配置配線し、より高次の論理ブロックを得る。

【0003】 さらにその論理ブロックを複数種類設計し、それぞれを組合せて互いに配線することにより、さらに一階層上の論理ブロックを設計する。このように階層設計を繰返すことにより半導体集積回路装置を得ている。

【0004】 図3(a)、(b)は従来例の半導体集積回路装置のレイアウト図で、その階層設計の例を示している。図3(b)において、半導体セル7はトランジスタ数個をもち、このトランジスタを配線することにより基本的な論理ブロック(1)、例えばインバータ、アンドノアなどを形成している。この半導体セル7は半導体集積回路装置の階層設計において最下層のもので、第一段階においてあらかじめ最適設計され、複数種類用意されている。

【0005】 次に、あらかじめ設計された半導体セル7を、図3(b)に示したようにアレイ状に配列し、この半導体セル7の端子間を第1層及び第2層の配線2により接続し所望の半導体論理ブロックを得る。このときの半導体セル7の配置及び配線は計算器を使って自動的におこなわれるが、メモリやALUの様な規則的なレイアウトが可能な場合は人手により最適設計されより面積の小さいものを得ることもある。

【0006】 図3(a)はこのような方法で設計された半導体論理ブロック1を複数個使った半導体チップ9を示している。半導体論理ブロック1の端子4間を第1層から第4層の配線2、3により接続し、外部バッファ5、パッド6間の配線を行ない、半導体集積回路装置を得る。こうして半導体セル-半導体論理ブロック-半導体論理回路装置という3階層の階層設計を行う。この場

合の階層の数は特に制約はなく、より多くの階層設計が原理的に可能である。

【0007】

【発明が解決しようとする課題】 この従来の半導体集積回路では、階層設計の各階層において利用する配線の配線層に区分けがなく、各階層の設計時に同一配線層を利用するか、又は重複していた。つまり半導体セル7間の接続する配線層と半導体論理ブロック1の間を接続する配線が重複していた。

【0008】 この場合、図3(b)に示すように、半導体論理ブロック内は第1層、第2層の配線2が半導体セル7間の接続のために敷きつめられているので、完成された半導体セル7内に第1層第2層配線2を通すことができない。従って、半導体論理ブロック端子間を配線するために半導体論理ブロック1の間に配線領域8を設ける必要があった。この配線領域8は半導体チップ9の面積増大の原因になり、製造コストを増加させるという問題があった。

【0009】 また、自動配置配線のソフトウェアの開発設計において、多層配線の総数が多くなるに従い、処理データの量が増大しアルゴリズムが複雑化してくる。このため自動配置配線のソフトウェアの開発期間が大幅に長期化する問題があった。

【0010】 本発明の目的は、これら問題を解決し、半導体チップの面積を少くした半導体集積回路装置を提供することにある。

【0011】

【課題を解決するための手段】 本発明の半導体集積回路装置の構成は、論理機能を形成する半導体素子領域とこの素子領域間を接続する配線領域がある特定の領域に限定され同一機能又は異なる機能を持つ複数の論理機能回路とからなる論理機能回路群を有し、前記各論理機能回路内の配線が他の論理機能回路内の配線領域にまたがらず、かつ前記論理機能回路間を接続する配線の配線層と前記論理機能回路を構成する配線の配線層とが異なる配線層に設けられたことを特徴とする。

【0012】

【実施例】 図1は本発明の一実施例の半導体集積回路装置のレイアウト図である。本実施例は、半導体チップ9上の四辺に沿って外部バッファ5が並べられている。4つの半導体論理ブロック1は、図3(b)と同様に、半導体セル7をアレイ状に自動配置している。半導体セル7の端子間を自動配線することにより、半導体論理ブロック1は所望の論理機能を持つ様設計されている。図3(b)の半導体論理ブロック(1)は、金属配線層として第1層と第2層2のみを利用して設計されている。なお、金属配線層の層番号は、半導体チップ上のトランジスタに最も近いものから遠い方向へ順に第1層、第2層、第3層となっている。

【0013】 4つの半導体論理ブロック1の端子間の配

線は、第3層第4層の配線3を使っており、第1層、第2層の配線層2は使用していない。このため半導体論理ブロック1の間に配線領域8を設ける必要がなく、半導体論理ブロック間の配線に第1層～第4層を使った従来例(図3(a))のように半導体論理ブロック1の間に配線領域8を設ける必要がなく、この配線領域8の面積だけ小さくできる。

【0014】図2(a)、(b)は本発明の第2の実施例のレイアウト図である。本実施例では、第3層第4層配線3が、半導体論理ブロックの上を自由に配線することができるので、半導体論理ブロック1の端子4を論理ブロックの中央部に位置させている。このため半導体論理ブロック1の端子4を半導体論理ブロックの外周部に位置させる必要はなく設計が容易になる。

【0015】また取扱う配線層数が各設計階層において2層になっているので、従来の自動配置配線ソフトウェアがそのまま使え、新たに自動配置配線ソフトウェアを開発する必要がない。

【0016】

【発明の効果】以上説明したように本発明は、階層設計の階層と配線層の層を個別対応させたので、特定層用の配線領域を設ける必要がなく、半導体チップの面積が縮小し、製造コストを低減化するという効果を有する。

【0017】また、自動配線を行なう場合、計算すべき配線層の総数を2層に設定することになるので、層数を3層、4層とした場合と比べて計算データ、計算回数が少なくなり、自動配線のソフトウェアの作成が容易になる。

【図面の簡単な説明】

【図1】本発明の一実施例の半導体集積回路装置のレイアウト図。

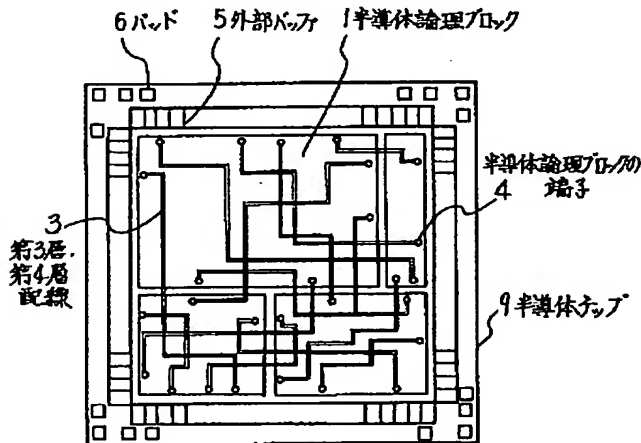
【図2】(a)、(b)は本発明の第2の実施例のレイアウト図およびその半導体論理ブロックの平面図。

【図3】(a)、(b)は従来の半導体集積回路装置の一例のレイアウト図およびその半導体論理ブロックの平面図。

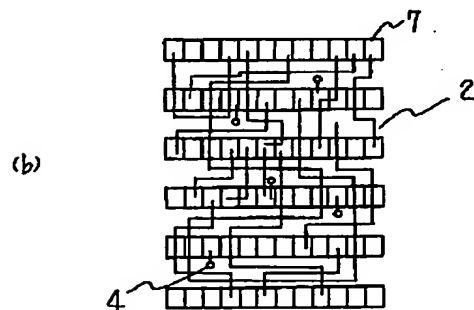
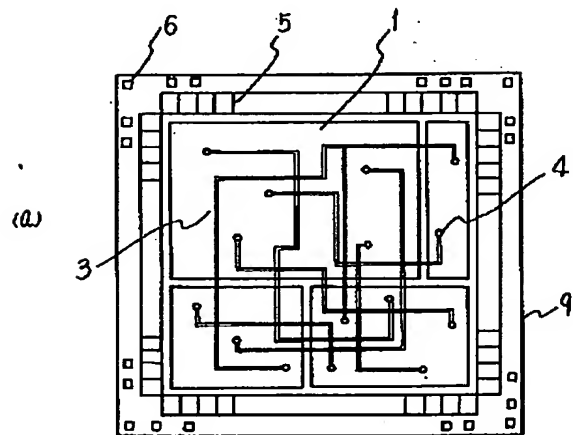
【符号の説明】

- 1 半導体論理ブロック
- 2 第1層及び第2層の配線
- 3 第3層及び第4層の配線
- 4 半導体論理ブロックの端子
- 5 外部バッファ
- 6 パッド
- 7 半導体セル
- 8 第1層第2層のための配線領域
- 9 半導体チップ

【図1】



【図2】



【図3】

